

## ANÁLISE DA ROBUSTEZ A EFEITOS DE RADIAÇÃO EM PORTAS LÓGICAS CMOS

AMES, Stéphanie Oliveira  
BUTZEN, Paulo Francisco; MEINHARDT, Cristina  
smc\_stephanie@hotmail.com

Evento: Congresso de Iniciação Científica  
Área do conhecimento: Ciências Exatas e da Terra

**Palavras-chave:** Microeletrônica; Tolerância a falhas;

### 1 INTRODUÇÃO

A grande maioria dos circuitos integrados são projetados utilizando uma metodologia baseada em biblioteca de células (conjunto finito de portas lógicas previamente projetadas e caracterizadas) [1]. Uma porta lógica pode ser projetada utilizando diferentes arranjos de transistores MOS. Cada um destes diferentes arranjos possui características elétricas distintas.

O avanço das tecnologias de fabricação dos circuitos integrados CMOS, se caracteriza pela redução das dimensões dos transistores. Esta miniaturização tem por objetivo alcançar um melhor desempenho e um menor consumo de potência. Contudo, com essa redução nas dimensões, os transistores ficam mais sensíveis à radiação [2]. Questões referentes à confiabilidade e a robustez dos sistemas eletrônicos tem recebido grande atenção da comunidade científica e industrial.

O objetivo deste trabalho é avaliar a robustez à radiação de diferentes arranjos de transistores, analisando falhas em nodos sensíveis a radiação e comparando no final quantas vezes a falha se propaga até a saída.

### 2 REFERENCIAL TEÓRICO

A redução drástica nas dimensões dos transistores tem contribuído para reduzir a imunidade dos circuitos ao ruído, permitindo que pequenas variações de tensão sejam interpretadas como inversos do sinal lógico. Outra consequência importante é o aumento da suscetibilidade dos circuitos a falhas transientes, também conhecidas como *soft errors*. Uma falha transiente pode ser decorrente de um evento de radiação.

Um transistor possui quatro terminais, sendo eles: *gate*, *source*, *drain* e *bulk*. Dois deles, *drain* e *source*, são mais sensíveis aos efeitos da radiação. Quando uma partícula energética colide com uma região sensível de um circuito combinacional, um pulso transiente pode ser gerado. Neste caso, o fenômeno é denominado *Single-Event Transient* (SET). Se o SET se propagar até uma saída primária, ele poderá ser capturado por um elemento de memória e assim ser interpretado como um valor lógico incorreto, gerando assim um *soft error*. [2].

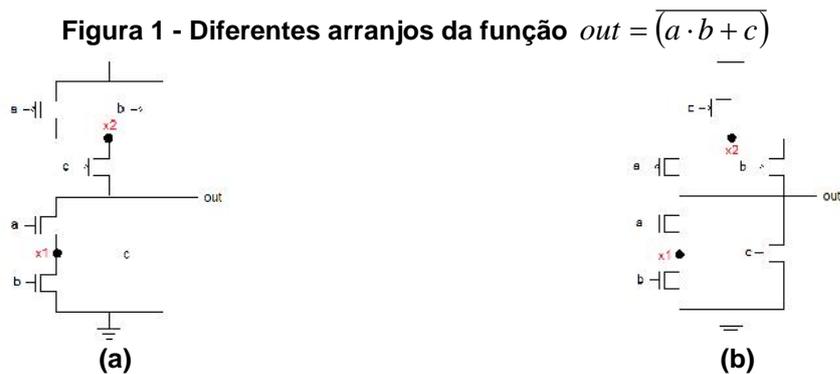
### 3 PROCEDIMENTO METODOLÓGICO

Para este trabalho, foram escolhidas portas lógicas que podem ser projetadas com diferentes arranjos de transistores. A estratégia utilizada para avaliar a

confiabilidade de diferentes topologias explora a permutação da disposição dos transistores no arranjo sem alterar a funcionalidade lógica. Essa abordagem pode ser aplicada quando são utilizadas portas complexas. Todos os nodos sensíveis à radiação são identificados e todos os possíveis vetores de entrada considerados. As falhas avaliadas são aquelas que fazem com que o nodo avaliado assuma o valor lógico '1'. Por fim são computadas as situações em que a falha se propagou até a saída.

#### 4 RESULTADOS e DISCUSSÃO

A função  $\overline{(a \cdot b + c)}$  será utilizada como exemplo. A Figura 1 dois possíveis arranjos de transistores que podem implementar essa função. A Tabela I apresenta as características de cada um dos arranjos e o comportamento em relação à presença de falhas. Como se pode observar nos resultados apresentados na Tabela I, o arranjo (a) da Figura 1 é mais robusto que o arranjo (b), pois em caso de ocorrência de falha no nodo sensível 'x2', o valor de *out* só mudará em um caso no arranjo (a), enquanto a saída mudará em três casos no arranjo (b).



**Tabela I - Análise de passa/muda para os dois diferentes arranjos da função**

Funções	Nº de possíveis combinações de entrada	Nº de nodos vulneráveis excluindo o OUT	Quantidade de vezes que uma falha nos nodos se propaga até a saída	
			x1	x2
F1(a) = $\overline{(a \cdot b + c)}$	8	2	3	1
F1(b) = $\overline{(a \cdot b + c)}$	8	2	3	3

#### 5 CONSIDERAÇÕES FINAIS

A partir deste trabalho pode-se observar que colocar o maior número de transistores ligados às linhas de alimentação e GND é uma alternativa para aumentar a robustez a falhas transientes em portas lógicas CMOS. Verificar esse comportamento em um maior número de arranjos é o próximo passo do trabalho e irá fortalecer a afirmação anterior.

#### REFERÊNCIAS

- [1] Rosa, L.S.; Callegaro, V.; Ribas, R.P.; Reis, A.I.: Redes de Transistores e Portas Lógicas CMOS.
- [2] Frank, H. S.: Avaliação de atraso, consumo e proteção de somadores tolerantes a falhas.