

FERRAMENTA PARA O CÁLCULO DA PROBABILIDADE DE DEGRADAÇÃO DO EFEITO BTI EM TRANSISTORES DE PORTAS LÓGICA CMOS

**SCHIVITZ, Rafael Budim
MEINHARDT, Cristina; BUTZEN, Paulo Francisco
rafael.schivitz@gmail.com**

**Evento: Congresso de Iniciação Científica
Área do conhecimento: Ciências Exatas e da Terra**

Palavras-chave: Microeletrônica; efeitos de envelhecimento

1 INTRODUÇÃO

A redução das dimensões dos transistores permitiu a criação de circuitos integrados (CIs) mais rápidos e que consomem cada vez menos energia. Contudo, com essa miniaturização, novos fatores, como potência estática e efeitos de envelhecimento, que antes eram desconsiderados no projeto desses circuitos, tiveram que ser levados em conta [1].

Durante a vida útil dos circuitos integrados acontece um processo de degradação das características iniciais dos dispositivos que o compõe. Conforme o circuito é utilizado ao longo do tempo, seu comportamento sofre modificações, alterando suas características. Esse processo é chamado de envelhecimento. Essa degradação faz com que o tempo de vida útil do sistema diminua. O efeito considerado dominante no processo de envelhecimento de CIs, é o BTI (*Bias Temperature Instability*) [1-2].

O trabalho proposto nesse artigo é o estudo do efeito BTI nos CIs e o desenvolvimento de uma ferramenta que seja capaz de realizar o cálculo da probabilidade desse efeito em diferentes circuitos.

2 REFERENCIAL TEÓRICO

O BTI pode ser caracterizado pelo aumento do valor da tensão limiar do transistor (*threshold voltage*, ou V_{th}). A tensão de limiar de um transistor define sua capacidade de corrente. Quanto maior V_{th} , menor a capacidade de corrente. Quando o BTI aumenta V_{th} ao longo do tempo, a capacidade de corrente do transistor é reduzida e conseqüentemente o sistema irá ter uma perda de desempenho [1].

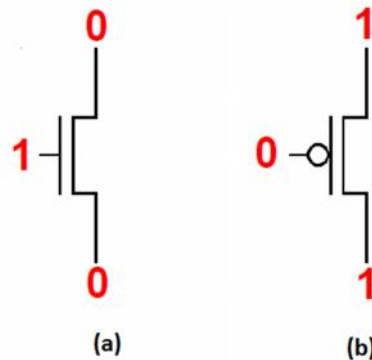
De acordo com a polarização aplicada em um transistor MOS, um alto campo elétrico pode ser observado. Este elevado campo elétrico é a causa principal da degradação dos transistores. Para identificar esta condição de degradação é preciso verificar os valores lógicos nos terminais de dreno, porta e fonte do transistor [2]. A Figura 1 ilustra as polarizações dos transistores NMOS (a) e PMOS (b) em que ocorre as maiores degradações.

3 PROCEDIMENTO METODOLÓGICO

A ferramenta em sua execução, monta um grafo do circuito e executa a simulação lógica para cada combinação de entrada, retornando os valores de cada nodo do circuito. Essa validação lógica permite obter a informação de quais

transistores estão na condição de stress e assim calcula a probabilidade de degradação de cada transistor.

Figura 1 – (a) Transistor NMOS sob condição de stress; (b) Transistor PMOS sob condição de stress.



4 RESULTADOS e DISCUSSÃO

Com a ferramenta, foi feito um conjunto de testes sobre diferentes portas lógicas, a Tabela 1 mostra a saída parcial da ferramenta em uma porta lógica AOI, ilustrando a probabilidade de degradação de cada transistor. A ferramenta também realiza uma validação lógica do circuito, além de fornecer informações sobre as diferentes simulações feitas, tais como a verificação de quais transistores estão sob stress em cada vetor de entrada simulado.

Tabela 1 – Tabela mostrando a saída da ferramenta para análise TSP

Transistor	Probabilidade de Degradação
b-PMOS	50.0%
c-PMOS	50.0%
a-PMOS	37.5%
a-NMOS	50.0%
b-NMOS	37.5%
c-NMOS	50.0%

5 CONSIDERAÇÕES FINAIS

Com o cálculo que a ferramenta faz e as informações de saída, temos uma informação muito maior do circuito que é gerada em poucos segundos. Com essas informações, pode-se trabalhar em uma projeção melhor do circuito de forma a torna-lo mais robusto em relação aos efeitos de envelhecimento.

REFERÊNCIAS

- [1] Butzen, P. F. (2012, Outubro). Aging Aware Design Techniques and CMOS Gate Degradation Estimative. Porto Alegre, RS, Brasil.
- [2] Pachito, J. d. (Janeiro de 2012). Aging Prediction Methodology For Digital Circuits. Portugal.