

**ALGORTIMOS DE MENOR CAMINHO APLICADOS A CARACTERIZAÇÃO
ELÉTRICA DE PORTAS LÓGICAS CMOS**

MACHADO, Ingrid Cardoso
BUTZEN, Paulo Francisco; MEINHARDT, Cristina; FABRIS, Eric
ingridmachado@furg.br

Evento: Congresso de Iniciação Científica
Área do conhecimento: Ciências Exatas e da Terra

Palavras-chave: algoritmos; portas lógicas; caracterização elétrica

1 INTRODUÇÃO

A caracterização elétrica de portas lógicas CMOS retorna informações a respeito do consumo de potência e atrasos dessas portas. Esses dados auxiliam na escolha de quais portas lógicas serão usadas no circuito a ser projetado. Os arcos de função lógica são explorados nesse processo. Arcos de uma função são transições únicas nas entradas da porta lógica que causam mudança na saída. A quantidade de arcos de cada função depende da função propriamente dita e do número de entradas (RABAEY, 2003). Na caracterização elétrica, os arcos da função são combinados, formando um caminho. Este caminho define a duração da caracterização temporal das portas lógicas (SILVACO, 2014).

A caracterização temporal é um processo computacionalmente custoso. Como o caminho formado pela combinação dos arcos da função está diretamente relacionado com a duração da simulação, encontrar o menor caminho é algo desejável. Sabendo que o caminho influencia no tempo de execução, uma ferramenta é necessária para automatizar este processo (MACHADO, 2013). Este trabalho tem como objetivo investigar três algoritmos para a geração deste caminho.

2 PROCEDIMENTO METODOLÓGICO

O trabalho compara três algoritmos para a geração do caminho: busca exaustiva, *simulated annealing* (SA) e guloso. A busca exaustiva realiza todas as combinações possíveis de caminho, calcula o custo de cada combinação e armazena o resultado de menor custo. Este algoritmo sempre retorna a solução ótima. O SA é uma meta-heurística e recebe como entrada uma temperatura inicial, o número máximo de iterações e uma taxa de resfriamento. A cada iteração, o algoritmo executa pequenas perturbações nos caminhos, calcula o custo e determina se a solução deve ser aceita ou rejeitada. O algoritmo repete este ciclo até atingir a temperatura mínima. O algoritmo guloso representa o conjunto de arcos como um grafo. A solução é determinada percorrendo os vértices deste grafo.

Para comparação dos algoritmos, foi utilizado um conjunto de portas com funções de duas e três entradas com diferentes números de arcos, descritas na Tabela 1. Cada função foi simulada com os algoritmos descritos anteriormente e foram armazenados o caminho gerado e o custo do caminho. O custo do caminho representa o número de passos para completar a simulação elétrica. O SA teve como configuração a temperatura inicial igual a 5000, o número máximo de

13ª Mostra da Produção Universitária

Rio Grande/RS, Brasil, 14 a 17 de outubro de 2014.

iterações igual a 1000 e a taxa de resfriamento igual a 0,001.

Tabela 1 – Funções simuladas

<i>Função lógica</i>	<i>Número de entradas</i>	<i>Número de arcos</i>
$a.\text{!}b$	2	4
$(\text{!}a.\text{!}b) + (a.b)$	2	8
$a + \text{!}b + \text{!}c$	3	6
$\text{!}a.c$	3	8
$\text{!}b + a.\text{!}c$	3	10
$(\text{!}b.c) + (a.\text{!}c)$	3	12

3 RESULTADOS e DISCUSSÃO

A Tabela 2 mostra os resultados de custo do caminho (CC) e de tempo de execução (TE). Apesar do algoritmo guloso ter os piores valores de CC, ele é o mais rápido. O SA é uma boa escolha quando se trata de obter caminhos não muito custosos com um TE não tão alto. A busca exaustiva possui o maior TE, como esperado, mas retorna sempre a solução ótima. Observa-se também que o tempo de execução aumenta de acordo com o número de arcos, pois, quanto mais arcos, maior o número de combinações possíveis.

Tabela 2 – Resultados de comparação dos algoritmos Guloso, SA e Busca Exaustiva

<i>Função</i>	<i>Algoritmos</i>					
	<i>Guloso</i>		<i>Simulated Annealing (SA)</i>		<i>Busca Exaustiva</i>	
	<i>CC</i>	<i>TE (μs)</i>	<i>CC</i>	<i>TE (μs)</i>	<i>CC</i>	<i>TE (μs)</i>
$a.\text{!}b$	6	48	5	4316	5	57
$(\text{!}a.\text{!}b) + (a.b)$	11	47	9	9486	9	37430
$a + \text{!}b + \text{!}c$	9	49	7	4709	7	622
$\text{!}a.c$	12	50	10	5209	10	33339
$\text{!}b + a.\text{!}c$	15	48	12	6772	12	3995027
$(\text{!}b.c) + (a.\text{!}c)$	17	55	16	8636	14	652512652

4 CONSIDERAÇÕES FINAIS

Os três algoritmos implementados geram caminhos válidos. Para definir qual é a melhor escolha, se deve realizar um balanceamento entre o tempo do algoritmo proposto neste trabalho e o tempo de simulação elétrica. Como normalmente a simulação elétrica consome mais tempo que a geração do caminho, em caminhos grandes é preferível gastar mais tempo com uma simulação exaustiva para obter um menor caminho a ser utilizado na simulação elétrica.

REFERÊNCIAS

J. M. RABAEY; A. CHANDRAKASAN; B. NIKOLIC, **Digital Integrated Circuits. A Design Perspective**. 2. ed. Prentice Hall, 2003.

I. C. MACHADO; P. F. BUTZEN; C. MEINHARDT. **Ferramenta Para a Caracterização Temporal de Portas Lógicas CMOS**. XXV CRICTE: Congresso Regional de Iniciação Científica e Tecnológica em Engenharia. 2013.

13ª Mostra da Produção Universitária

Rio Grande/RS, Brasil, 14 a 17 de outubro de 2014.

SILVACO. **Cell Characterization Concepts. Introduction to Cell Characterization.** Disponível em
<http://www.silvaco.com/content/kbase/cell_char_intro_090508.pdf>. Acesso em
06.jul.2014.