

## **Automação da inserção de falhas *Single Event Transient* em Circuitos Combinacionais em tecnologias nanométricas**

**AGUIAR, Ygor Quadros de; ZIMPECK, Alexandra Lackmann;  
MEINHARDT, Cristina  
ygoraguiar@furg.br**

**Evento: XXIV Congresso de Iniciação Científica  
Área do conhecimento: Engenharias**

**Palavras-chave:** Microeletrônica; Tolerância a Falhas; *Single Event Transient*

### **1 INTRODUÇÃO**

O avanço da microeletrônica permite o desenvolvimento de dispositivos cada vez menores, com menor consumo de energia e maior desempenho. No entanto, com o processo de fabricação em escala nanométrica, novos desafios como variabilidade no processo de fabricação, aumento da vulnerabilidade a *soft errors* e degradação dos componentes tem se destacado na indústria de semicondutores (BORKAR, 2005)(SCHÜLER, 2007). Falhas oriundas da radiação afetam os principais dispositivos do projeto de células combinacionais: o transistor, provocando erros e alterando na funcionalidade esperada. Estas falhas são conhecidas como SET (*Single Event Transient*). Neste contexto, o foco deste trabalho é automatizar o processo de análise de circuitos combinacionais em tecnologias nanométricas visando obter a vulnerabilidade a falhas do tipo SET de cada circuito analisado.

### **2 REFERENCIAL TEÓRICO**

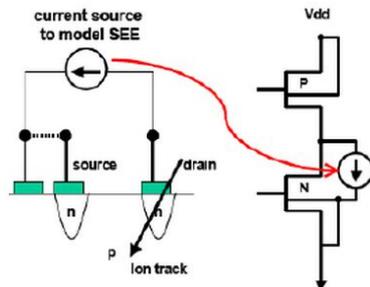
As falhas do tipo SET surgem quando uma partícula energizada deposita carga perto de um nodo sensível de um circuito combinacional, causando um pulso transiente. Quando propagado, este pulso pode ou não ser detectado como erro na funcionalidade do circuito. Isso porque as falhas podem ser mascaradas, seja por mascaramento lógico, elétrico ou por janela de amostragem. Os circuitos nanométricos estão mais sujeitos ao efeito da radiação devido à diversos fatores como a redução da dimensão dos transistores e aumento da frequência de operação (SCHÜLER, 2007).

### **3 PROCEDIMENTO METODOLÓGICO**

Em 1982, Messenger modelou o pulso gerado na saída de uma porta lógica pela colisão de uma partícula através de uma fonte de corrente cujo comportamento obedece a uma dupla exponencial (MESSENGER, 1982). Neste trabalho, uma fonte de corrente  $I_s$  é inserida nos elementos fundamentais das portas lógicas, o transistor. A ferramenta desenvolvida na linguagem Java oferece uma interface gráfica para inserção da descrição do circuito em *netlist* assim como os parâmetros para inserção das falhas do tipo SET. Com os dados recolhidos do usuário, a ferramenta identificará todos os nodos (ponto de conexão entre elementos) existentes no

circuito.

Figura 1 – Fonte de corrente como modelo da falha SET em um transistor (WEATHERFORD, 2002) e o pulso de corrente modelado por (MESSENGER, 1982)



$$I_P(t) = I_0 * (e^{-(t/\tau_F)} - e^{-(t/\tau_R)})$$

A ferramenta poderá inserir falhas em todos os nodos do circuito ou nos nodos selecionados pelo usuário. Para cada nodo, vetores de teste são gerados para a inserção da fonte de corrente em diferentes momentos da simulação transiente que considera todos os arcos da função. A simulação elétrica é realizada através de uma chamada ao simulador NGSpice.

#### 4 RESULTADOS e DISCUSSÃO

A ferramenta foi implementada em Java devido principalmente a sua portabilidade, orientação a objeto, e por permitir a integração com outras ferramentas como o simulador NGSpice. É possível determinar a cobertura de falhas de diferentes arranjos de transistores para uma mesma função lógica, permitindo identificar arquiteturas mais robustas as falhas de radiação do tipo SET.

#### 5 CONSIDERAÇÕES FINAIS

Através da ferramenta é possível automatizar a análise do comportamento de circuitos sob a influência de radiação. Além disso, com o resultado gerado pode-se observar o fenômeno de mascaramento lógico, elétrico e janela de amostragem. O desenvolvimento desta ferramenta permite a avaliação de diferentes circuitos combinacionais, auxiliando no desenvolvimento de técnicas de tolerância a falhas.

#### REFERÊNCIAS

BORKAR, Shekhar. "Designing reliable systems from unreliable components: the challenges of transistor variability and degradation." *Micro*, IEEE 25.6 (2005): 10-16.

MESSENGER, G. C., "Collection of Charge on Junction Nodes from Ion Tracks". *IEEE Transactions of Nuclear Science*, [S.l.], v.NS-26, n.6, December 1982.

SCHÜLER, E., "Three Different Techniques to Cope with Radiation Effects and Component Variability in Future Technologies", PhD thesis, 2007.

WEATHERFORD, T., "From Carriers to Contacts: A Review of SEE Charge Collection Processes", *IEEE Nuclear and Space Radiation Effects Conference Short Course*, AZ, 2002.