

## APLICAÇÃO DA TÉCNICA DE *VOLTAGE SCALING* EM CIRCUITOS NA TECNOLOGIA CMOS DE 32nm

OYHENARD, Vitor H.  
MEINHARDT, Cristina; BUTZEN, Paulo F.  
vitor@furg.br

Evento: Congresso de Iniciação Científica  
Área do conhecimento: Ciências Exatas e da Terra

**Palavras-chave:** potência; nanotecnologia; CMOS

### 1 INTRODUÇÃO

A constante redução de tamanho do transistor MOS permitiu que muitos dispositivos se tornassem portáteis. Portanto, o uso de baterias para alimentação de tais dispositivos se fez necessário e, conseqüentemente, o consumo de energia tornou-se um assunto relevante tanto para a academia quanto para a indústria de semicondutores. Além disso, o alto consumo de energia pode causar problemas de confiabilidade em circuitos. Neste contexto, este trabalho avalia uma das principais técnicas de redução de potência, investigando os efeitos em circuitos projetados na tecnologia CMOS de 32nm.

### 2 REFERENCIAL TEÓRICO

Em (CHANDRAKASAN,1992) são apresentadas algumas técnicas que foram desenvolvidas para tratar do consumo dinâmico da tecnologia CMOS, dentre elas o *voltage scaling*. O *Voltage scaling* surgiu da análise da equação da potência dinâmica, avaliada neste trabalho. Esta técnica surgiu da análise da seguinte equação, onde  $E$  é a energia consumida,  $V_{dd}$  é tensão de alimentação,  $t$  é o tempo de funcionamento e  $I$  é a corrente do circuito:

$$E = \frac{V_{dd}^2 * t}{I}$$

Logo, se a tensão for reduzida, teremos uma redução quadrática na energia. O principal problema dessa técnica é que ela torna o circuito mais lento, pois acaba causando aumento nos atrasos, e por conseqüência, uma redução na frequência.

### 3 MATERIAIS E MÉTODOS (ou PROCEDIMENTO METODOLÓGICO)

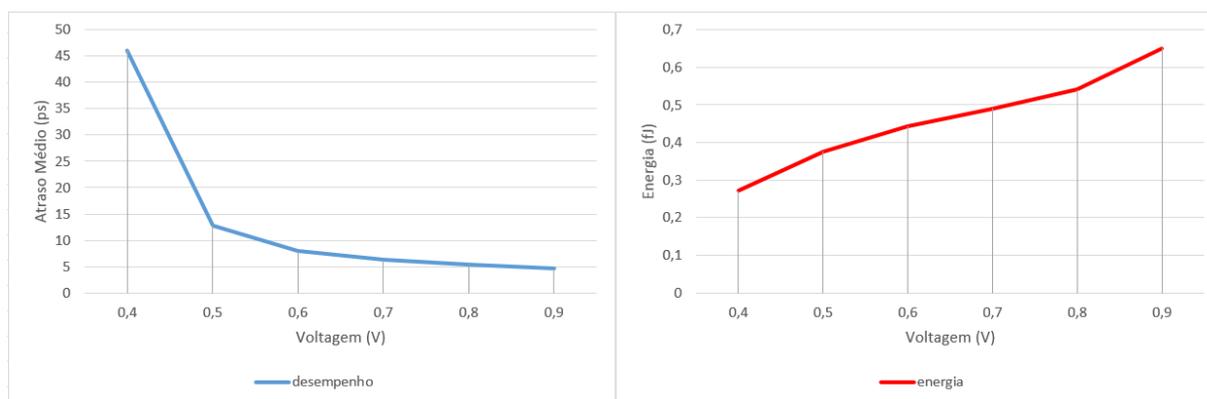
Para os testes foram utilizados um modelo preditivo de tecnologia de 32nm do PTM (ZHAO, 2006) e o simulador NGSPICE (NGSPICE, 2015). Nele foi avaliado um conjunto de circuitos em teste para, realmente, avaliarmos a técnica de *voltage scaling*, através da observação dos atrasos e da energia consumida. Para tornar o circuito em teste mais realista, adotou-se inversores dispostos nas entradas e saídas, ligados a uma fonte independente de 0,9V. O circuito em teste é inserido no centro, ligado à uma fonte independente, a qual teve a tensão reduzida de 0,9V até 0,4V com passos de 0,1V. Para cada voltagem, foram analisados os tempos de propagação de subida e de descida,  $t_{plh}$  e  $t_{phl}$ , e a energia consumida pela fonte do circuito em teste.

## 4 RESULTADOS e DISCUSSÃO

A Figura 1 mostra os resultados de desempenho e de energia obtidos nas simulações de um inversor. Todos os transistores utilizados possuem dimensões de comprimento de canal (L) de 32nm, sendo, os do tipo PMOS com largura (W) de 200nm e os do tipo NMOS com W=100nm.

A energia total consumida pelo circuito em teste foi obtida pela integral da corrente gerada durante o tempo de simulação necessário para avaliar todos os arcos da função. Observa-se a redução considerável da energia quando o circuito opera a 0,4V. Analisando os tempos de propagação e calculando a média entre eles, obtém-se o atraso médio de propagação no circuito. É possível observar que quanto mais baixa a tensão da fonte do circuito em teste, apesar do consumo de energia ser realmente menor, há um aumento grande no atraso do circuito.

Figura 1 – Resultados de atraso e energia para um inversor, reduzindo a voltagem do circuito



Fonte: Os autores

## 5 CONSIDERAÇÕES FINAIS

Pode-se perceber que a técnica funciona proporcionando uma considerável redução de potência em um circuito com estrutura interna básica, como o inversor. É importante avaliarmos a aplicação da técnica em circuitos mais complexos. Além disso, é relevante ressaltar que, com tensões inferiores a 0,4V já ocorrem mais complicações, pois trabalhamos com tensões muito próximas à tensão de limiar e assim ocorrendo em problemas lógicos no funcionamento do circuito.

## REFERÊNCIAS

CHANDRAKASAN, A.; SHENG, S.; BRODERSEN, R. Low-power CMOS digital design. IEEE Journal of Solid-State Circuits, [S.l.], v.27, n.4, p.473–484, Apr. 1992.

ZHAO,W. CAO,Y. New generation of Predictive Technology Model for sub-45nm early design exploration. IEEE Trans. on Electron Devices, vol. 53, no. 11, pp. 2816-2823, Nov. 2006.

NGSPICE <http://ngspice.sourceforge.net/>. Acessado em 2015.