

IMPACTO DA VARIABILIDADE DE PROCESSO EM CIRCUITOS SOMADORES NA TECNOLOGIA DE 32nm

**ZANANDREA, Vinícius; AMES, Stéphanie Oliveira
BUTZEN, Paulo Francisco; MEINHARDT, Cristina
viniciuszanandrea@furg.br**

**Evento: Congresso de Iniciação Científica
Área do conhecimento: Ciências Exatas e da Terra**

Palavras-chave: somadores; nanotecnologia; variabilidade de processo

1 INTRODUÇÃO

Existem diferentes tipos de arranjos de transistores que implementam circuitos somadores de 1 bit. Cada uma das abordagens tem vantagens e desvantagens bem exploradas em relação à área, atraso e consumo de potência. Apesar dessas três características serem as tradicionalmente exploradas no projeto de sistemas, hoje em dia, com a redução da escala de fabricação em tamanhos nanométricos, considerar somente estes parâmetros já não é mais suficiente. Deve-se considerar também efeitos nanométricos, tais como a variabilidade de processo, envelhecimento e aumento da sensibilidade à falhas. A variabilidade de processo já afeta o comportamento de circuitos fabricados nas tecnologias de 180nm e 130nm, e estima-se que nas futuras tecnologias a variabilidade de processo torne-se crítica, causando a diminuição da previsibilidade de desempenho dos circuitos nanométricos [1].

O objetivo deste trabalho é avaliar as características de atraso e potência de três tipos de arquitetura de somadores [2]: CMOS (*Complementary Oxide-Metal-Semiconductor*), CPL (*Complementary Pass Transistor Logic*) e Híbrida considerando os aspectos da variabilidade de processo.

2 REFERENCIAL TEÓRICO

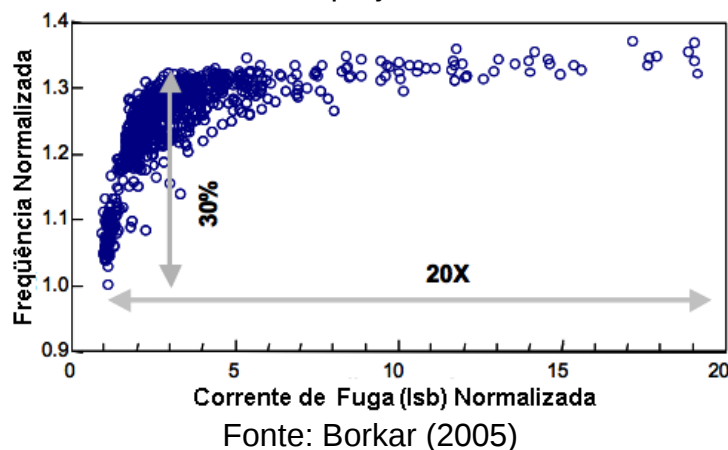
A variabilidade de processo consiste em uma variação dimensional ou em outras características mensuráveis de resultados de um processo de produção, em um determinado intervalo de tempo considerado. A Figura 1 mostra uma variação de 30% na frequência de operação e de 20X na corrente de fuga de circuitos de um mesmo projeto da Intel na tecnologia de 180nm [2]. Estudos demonstram que as principais consequências da variabilidade estão relacionadas com a alteração da tensão de limiar nominal dos transistores [1].

3 PROCEDIMENTO METODOLÓGICO

O principal modo de realizar a simulação dos efeitos da variabilidade em circuitos projetados em tecnologias nanométricas é através de simulações estatísticas pelo método de Monte Carlo. Neste trabalho, para as três arquiteturas de somadores investigadas, foram realizadas simulações elétricas utilizando o modelo preditivo de alto desempenho de 32nm [3]. A variabilidade de processo foi simulada

através de dez mil simulações Monte Carlo, onde a variabilidade em alguns parâmetros do processo, como a tensão de limiar (V_{TH}) e o comprimento do canal (L) dos transistores foram modeladas na forma de gaussianas.

Figura 1 – Variações na frequência e na corrente de fuga observadas em um mesmo projeto



4 RESULTADOS e DISCUSSÃO

Os resultados das simulações fornecem dados sobre a potência e os atrasos. Das simulações Monte Carlo são observados os valores de média, desvio padrão e variância, permitindo traçar o comportamento destes circuitos somadores em tecnologias nanométricas sob o efeito de variabilidade de processo. Para permitir uma comparação igualitária entre os diferentes valores observados, neste trabalho estamos avaliando também o desvio padrão normalizado pela média.

5 CONSIDERAÇÕES FINAIS

Este estudo salienta que o impacto da variabilidade de processo em tecnologias nanométricas, como a tecnologia de 32nm, não pode ser negligenciado no projeto de circuitos somadores.

REFERÊNCIAS

- [1] GUPTA, P., KAHNG, A. B. Manufacturing-Aware Physical Design In: IEEE/ ACM International Conference on Computer Aided Design, ICCAD-2003. Digest of Technical Papers. New York: ACM, 2003. p. 681-687.
- [2] Chang, C.-H., Gu, J., & Zhang, M. (2005). A review of 0.18um full adder performances for tree structured arithmetic circuits. Very Large Scale Integration (VLSI) Systems, IEEE Transactions , pp. 686 - 695.
- [3] BORKAR, S., et al. Parameter Variations and Impact on Circuits and Microarchitecture. In: Design Automation Conference, DAC, 40., 2005. Proceedings... New York: ACM, 2005. p. 338-342.
- [4] PTM. Fonte: Predictive Technology Model: <http://ptm.asu.edu/>