

ANÁLISE DE DIFERENTES ARQUITETURAS DE SOMADORES

**AMES, Stéphanie Oliveira; ZANANDREA, Vinícius
BUTZEN, Paulo Francisco; MEINHARDT, Cristina
stephanie.ames@furg.br**

**Evento: Congresso de Iniciação Científica
Área do conhecimento: Ciências Exatas e da Terra**

Palavras-chave: somadores; atraso; potência

1 INTRODUÇÃO

Os circuitos integrados (CIs) estão presentes em quase todos os equipamentos eletrônicos usados hoje em dia e revolucionaram o mundo da eletrônica [1]. A importância da integração está no baixo custo e alto desempenho, além do tamanho reduzido dos circuitos aliado à alta confiabilidade e estabilidade de funcionamento.

Os circuitos somadores são o foco de diversas pesquisas, pois fazem parte do caminho crítico dos sistemas eletrônicos. Este tipo de circuito tem um papel fundamental no funcionamento de qualquer sistema eletrônico, dos mais simples controladores aos mais complexos microprocessadores. Existem diferentes tipos de circuitos que implementam somadores, o que difere os circuitos são suas características de projeto, tais como: área, atraso e potência.

O objetivo deste trabalho é avaliar as características de atraso e potência de três tipos de arquitetura de somadores de 1 bit: CMOS (*Complementary Oxide-Metal-Semiconductor*), CPL (*Complementary Pass Transistor Logic*) e Híbrida [2].

2 REFERENCIAL TEÓRICO

Os sistemas computacionais necessitam de unidades aritméticas que são responsáveis por operações básicas, como: adição, subtração, multiplicação e divisão. Essas unidades lógicas trabalham todas a partir do circuito somador de 1 bit. A arquitetura de somadores mais utilizada é a CMOS. É formada por 28 transistores, divididos em rede *pull-up* e *pull-down*. As principais características dessa arquitetura é a sua robustez, além do fato de fornecer uma boa capacidade de condução.

O somador CPL utiliza 32 transistores com restauração de sinal. Ele produz nós intermediários e seus complementos, e a partir desses, gera suas saídas. Suas principais características são fornecer um alto desempenho e uma boa capacidade de condução. O somador Híbrido possui 26 transistores e é formado pela junção da arquitetura CMOS e CPL. As principais características do somador Híbrido é que este trabalha bem em baixas voltagens, além de possuir um bom desempenho [3].

3 MATERIAIS E MÉTODOS (ou PROCEDIMENTO METODOLÓGICO)

Foram realizadas simulações elétricas para descrição dos circuitos somadores utilizando o simulador elétrico NGSPICE [4] e o modelo preditivo de alto desempenho para o nodo tecnológico de 32nm (HP) [5]. Todos os circuitos foram

validados logicamente e foram realizadas a caracterização temporal e de potência. A caracterização temporal considera os atrasos do circuito, divididos em tempos de propagação e tempos de transição para todos os arcos da função somador. Neste trabalho foram considerados todos os transistores com dimensionamento mínimo.

4 RESULTADOS e DISCUSSÃO

Após serem realizadas as simulações elétricas, foram calculados para as três arquiteturas a média dos tempos de propagação, tempos de transição e potência. Os resultados são apresentados na Tabela 1. Podemos constatar que o somador Híbrido tem o menor tempo de propagação e transição médio, enquanto o CPL tem o maior. Também podemos ver que o CMOS tem a menor potência média, enquanto o Híbrido tem a maior potência média.

Tabela 1 – Tempo de Propagação Médio

	CMOS	CPL	Híbrido
Tempo de Propagação médio (ps)	43,8	52,2	43,5
Tempo de Transição médio (ps)	15,1	15,2	15,1
Potência média (μ W)	0,93	1,85	2,01

5 CONSIDERAÇÕES FINAIS

A comparação dos circuitos somadores de 1 bit mostrou que o circuito Híbrido possui os menores tempos de propagação e de transição, representando um melhor desempenho. Entretanto, este circuito apresentou a maior potência média. Considerando a relação entre potência e atrasos, a melhor alternativa dos circuitos é o somador CMOS. Trabalhos futuros incluem o dimensionamento dos circuitos.

REFERÊNCIAS

- [1] Pedroni, V. A. (2010). Eletrônica Digital Moderna e VHDL. Campus.
- [2] Chang, C.-H., Gu, J., & Zhang, M. (2005). A review of 0.18 μ m full adder performances for tree structured arithmetic circuits. Very Large Scale Integration (VLSI) Systems, IEEE Transactions , pp. 686 - 695 .
- [3] Navi, K., & Kavehe, O. (2009). A novel low-power full-adder cell for low voltage. INTEGRATION, the VLSI journal 42 , pp. 457 - 467.
- [4] NGspice. Fonte: <http://ngspice.sourceforge.net/>
- [5] PTM. Fonte: Predictive Technology Model: <http://ptm.asu.edu/>