

PROCEDIMENTO PARA VALIDAÇÃO LÓGICA E CARACTERIZAÇÃO TEMPORAL DE ELEMENTOS SEQUENCIAIS

AFONSO, Renato Mendes
BUTZEN, Paulo Francisco; MEINHARDT, Cristina
renato.mendes@furg.br

Evento: Congresso de Iniciação Científica
Área do conhecimento: Ciências Exatas e da Terra

Palavras-chave: Microeletrônica; Elementos Sequenciais; Caracterização Temporal

1 INTRODUÇÃO

Elementos sequenciais são largamente utilizados em circuitos digitais. Sua função básica é armazenar o valor de 1 *bit*. Sua saída é definida pelos valores aplicados em suas entradas e pelo valor atualmente armazenado. São componentes básicos de registradores, contadores e temporizadores, tendo grande importância nos projetos de eletrônica digital e larga utilização em sistemas síncronos (WESTE, 2011).

Informações de atrasos são importantes para definir o desempenho e a robustez de um elemento sequencial, porém sua avaliação não se restringe somente a esses. Existem outras informações temporais, como tempos de *setup* e *hold*, que são extremamente relevantes no projeto de bibliotecas de células sequenciais e precisam de um processo recursivo de caracterização.

Outro ponto relevante para elementos sequenciais é a validação lógica, que diferentemente de elementos combinacionais, possuem transições entre os estados "esperados", "não esperados" e "não possíveis" (RIBAS, 2011).

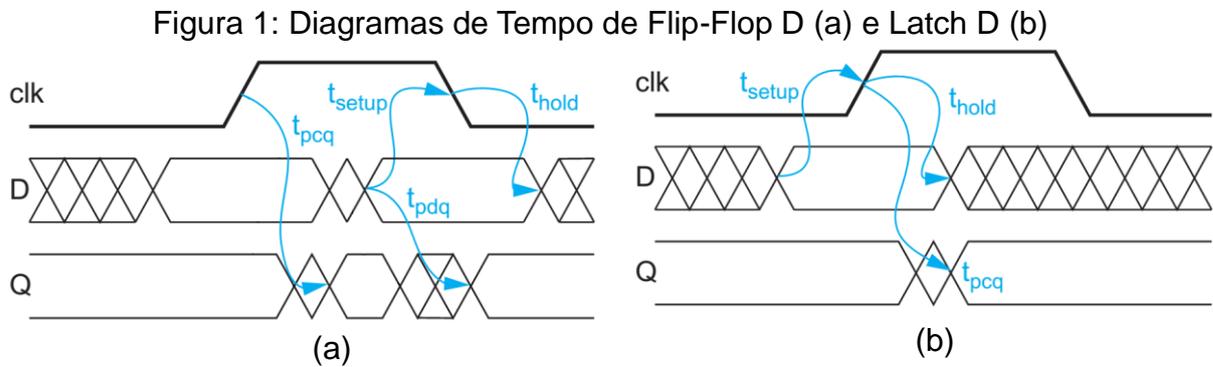
O objetivo desse trabalho é apresentar um procedimento capaz de realizar a validação lógica e a caracterização temporal de elementos sequenciais.

2 REFERENCIAL TEÓRICO

Os principais elementos sequenciais são *Flip--Flops* e *Latches*. *Flip-Flops* são elementos sensíveis a borda, ou seja, possuem ativação em uma determinada borda do sinal de controle (subida ou descida). *Latches* são elementos sensíveis a nível, ou seja, possuem ativação em um determinado nível do sinal de controle (alto ou baixo). As principais características temporais a serem extraídas das células estão ilustradas na Figura 1, que são:

- Tempo de Propagação (t_{pcq} e t_{pdq}): medidos a partir da ocorrência da transição de um sinal de entrada (clk ou D , respectivamente) até a ocorrência da transição do sinal de saída (Q).
- Tempo de *Setup* (t_{setup}): Intervalo mínimo de tempo antes da transição do sinal de controle (clk) no qual a entrada (D) deve permanecer estável para resultar em uma transição na saída (Q).
- Tempo de *Hold* (t_{hold}): Intervalo mínimo de tempo depois da transição do sinal

de controle (clk) no qual a entrada (D) deve permanecer estável para resultar em uma transição na saída.



Fonte: WESTE, 2011

3 MATERIAIS E MÉTODOS

A ferramenta desenvolvida nesse trabalho recebe como entrada a descrição do circuito e diversos parâmetros como tensão, tecnologia, temperatura, capacitância, *slope* do sinal de entrada, entre outros parâmetros. A ferramenta também recebe como entrada um arquivo com a descrição de validação do tipo de circuito a ser analisado. Esse arquivo será fornecido por um procedimento externo (AVELAR, 2015).

A implementação da ferramenta foi feita em *Java* e as simulações elétricas são executadas na ferramenta de simulação NGSPICE.

4 RESULTADOS e DISCUSSÃO

A implementação da ferramenta resulta na aceleração do processo de caracterização dos elementos sequenciais, e por consequência, na análise e projeto do circuito integrado. Além disso, a ferramenta funciona independente de tecnologia, e também é capaz de abranger uma grande quantidade de variações de elementos sequenciais, apenas fornecendo as entradas apropriadas.

5 CONSIDERAÇÕES FINAIS

Devido o alto custo das ferramentas comerciais para caracterização de bibliotecas de células, a proposta da ferramenta submetida visa ser uma alternativa eficiente, de baixo custo e de código aberto para a caracterização de elementos sequenciais.

REFERÊNCIAS

- WESTE, Neil; HARRIS, David. CMOS VLSI Design. A Circuits and Systems perspective, Pearson Addison Wesley, 2005. 4th edition Addison-Wesley, 2011
AVELAR, Helder; Circuit Design for Sequential Logic Cells Validation, LASCAS 2015
RIBAS, R. P. et al. Ring Oscillators for Functional and Delay Test of Latches and Flip-Flops, SBCCI, pp. 67-72, 30 Ago. 2011.