

## **ANÁLISE DO COMPORTAMENTO DE DISPOSITIVOS NAS TECNOLOGIAS CMOS e *FinFET***

**ULLOA, Giane  
MEINHARDT, Cristina  
gianeulloa@furg.br**

**Evento: 14ª Mostra da Produção Universitária  
Área do conhecimento: Ciências Exatas e da Terra**

**Palavras-chave:** microeletrônica, *FinFET*, nanotecnologias

### **1 INTRODUÇÃO**

A tecnologia CMOS é a mais utilizada na fabricação de transistores, componente básico dos mais diversos dispositivos presentes no nosso dia a dia. No entanto, a miniaturização desses dispositivos fez com que a tecnologia CMOS não fosse mais capaz de acompanhar a Lei de Moore (King, 2005), que prevê o aumento de até o dobro da capacidade de integração de transistores em média a cada dois anos. A tecnologia *FinFET* é apontada como a principal alternativa para substituir a tecnologia CMOS *bulk*, visto que possui o mesmo processo de fabricação dos já conhecidos transistores CMOS.

O objetivo desse trabalho é realizar o estudo das características elétricas de dispositivos que utilizam a tecnologia *FinFET* e realizar um comparativo com os resultados obtidos para os mesmos dispositivos em tecnologia CMOS *bulk*.

### **2 REFERENCIAL TEÓRICO**

Transistores planares requerem alta dopagem de canal para controlar efeitos de canal curto, que refletem na degradação da mobilidade e aumento da corrente de fuga (ITRS, 2011). Uma alternativa para solucionar esse problema comum na tecnologia CMOS *bulk* é o uso de MOSFETs de múltiplas portas ou transistores *multigate*. Transistores *multigate* apresentam mais de um terminal de *gate* por dispositivo, baixo consumo de energia e maior ganho de desempenho. Eles ainda apresentam como vantagem um melhor controle de efeitos de canal curto, uma menor corrente de fuga, maior controle da corrente dinâmica e maior rendimento em processos de alta densidade (King, 2005). *FinFETs* são transistores não planares cuja principal característica é o canal condutor envolto por uma fina estrutura de silício, chamada "*fin*", que forma o corpo do dispositivo (Huang, 1999).

### **3 PROCEDIMENTO METODOLÓGICO**

Foram simuladas curvas características de corrente e voltagem (I-V) usando dispositivos PMOS e NMOS em tecnologia CMOS *bulk* e dispositivos PFET e NFET em tecnologia *FinFET* para comparar o seu comportamento elétrico. As simulações utilizam a ferramenta NGSpice e HSpice nas tecnologias sub-20nm (PTM, 2015).

### **4 RESULTADOS e DISCUSSÃO**

Os resultados da Tabela 1 são referentes a dispositivos NMOS utilizando a tecnologia de 16nm. Essas simulações tiveram como objetivo avaliar o comportamento da corrente elétrica nesses dispositivos quando variamos a largura do transistor ( $W$ ). Os valores obtidos confirmam que quanto maior o  $W$ , maior será a corrente. As duas corrente apresentadas, a mínima e a máxima, aumentam a medida que aumentamos a largura do transistor. A corrente mínima manteve um padrão na taxa de aumento de corrente, já a corrente máxima apresentou um salto de corrente quando aumentamos o  $W$  para 512 nanômetros.

Tabela 1: Valor da corrente em função das dimensões do transistor

$L=16n$	$W=32n$	$W=64n$	$W=128n$	$W=196n$	$W=256n$	$W=512n$	$W=1024n$
$I_{\text{mín.}}$ ( $I=0$ )	2,1E-12	3,8E-12	7,2E-12	10,8E-12	13,9E-12	27,5E-12	54,7E-12
$I_{\text{máx.}}$ ( $I=1$ )	14,6E-6	33,9E-6	72,1E-6	113,6E-6	149,1E-6	302,4E-6	607,4E-6

## 5 CONSIDERAÇÕES FINAIS

Os resultados apresentados são valores parciais do estudo comparativo do comportamento elétrico entre dispositivos CMOS e dispositivos *FinFET*. O comportamento observado para o transistor NMOS é reproduzido em dispositivos NFET através do aumento do número de *fin*s, entretanto em magnitudes diferentes. Além de dispositivos, também será simulado o comportamento elétrico de um inversor na tecnologia CMOS e na tecnologia *FinFET*. Os resultados levantados são relevantes para o estudo do comportamento elétrico da tecnologia *FinFET* com a intenção de comparar e verificar suas características no projeto digital em novas tecnologias.

## REFERÊNCIAS

- HUANG, X., et al. Sub 50-nm FinFET: PMOS. International Electron Devices Meeting Technical Digest, p. 67. Dec. 1999.
- ITRS. THE INTERNATIONAL TECHNOLOGY ROADMAP FOR SEMICONDUCTORS. Disponível em: <<http://www.itrs.net/Links/2011ITRS/2011Chapters/2011ExecSum.pdf>> Acesso em: Dez, 2011.
- PTM. PREDICTIVE TECHNOLOGY MODEL. Disponível em: <<http://ptm.asu.edu/>> Acesso em: Ago., 2015.
- KING, T.-J. FinFETs for Nanoscale CMOS Digital Integrated Circuits. In: Int. Conf. on Computer-Aided Design. Proceedings... [S.l.:S.n.], v., n., 2005. p. 207–210.