

## PROCEDIMENTO PARA CARACTERIZAÇÃO TEMPORAL DE FLIP-FLOPS

AFONSO, Renato Mendes; AVELAR, Helder Henrique  
BUTZEN, Paulo Francisco; MEINHARDT, Cristina  
rma0205@hotmail.com

Evento: Congresso de Iniciação Científica  
Área do conhecimento: Ciências Exatas e da Terra

**Palavras-chave:** Microeletrônica; *Flip-flops*; Temporização

### 1 INTRODUÇÃO

*Flip-flops* são elementos sequenciais largamente utilizados em circuitos digitais. Sua função básica é armazenar o valor de 1 *bit*. Sua saída é definida pelos valores aplicados em suas entradas e pelo valor atualmente armazenado. São componentes básicos de registradores, contadores e temporizadores, tendo grande importância nos projetos de eletrônica digital e larga utilização em sistemas síncronos (WESTE, 2011).

Sendo o *flip-flop* um elemento essencial no projeto de circuitos digitais, dados referentes aos atrasos da saída com relação às entradas são parâmetros fundamentais para a avaliação do desempenho final do sistema. Existem diferentes tipos e diferentes topologias que podem ser utilizadas para projetar um *flip-flop* (ALIOTO, 2011). A escolha da topologia correta pode ser determinante na eficiência final do sistema. O objetivo principal deste trabalho é desenvolver um procedimento para obter os dados de desempenho (os atrasos) de diferentes topologias de *flip-flops* do tipo D. Para tal, diferentes arquiteturas de *flip-flops D* serão descritas na forma de *netlist* de transistores, para que sejam analisadas conforme o procedimento proposto.

### 2 REFERENCIAL TEÓRICO

*Flip-flops* do tipo D, como os outros dispositivos de lógica sequencial, são elementos cujo dado de saída depende não só da sua entrada atual, como também do seu estado anterior, ou seja, do valor que o dispositivo está armazenando. Sua representação simbólica está ilustrada na Figura 1 (a), onde *D* e *Clk* são sinais de entrada e *Q* é a saída do dispositivo. Os *flip-flops* tipo D são sensíveis a borda, ou seja, atualizam sua saída conforme os dados de entrada (*D*) durante uma determinada transição do sinal de controle (*Clk*). Esta transição pode ser tanto de nível alto para baixo (descida) quanto de baixo para alto (subida). Na Figura 1 (b) está ilustrada a tabela verdade quando o *flip-flop* é sensível a borda de subida.

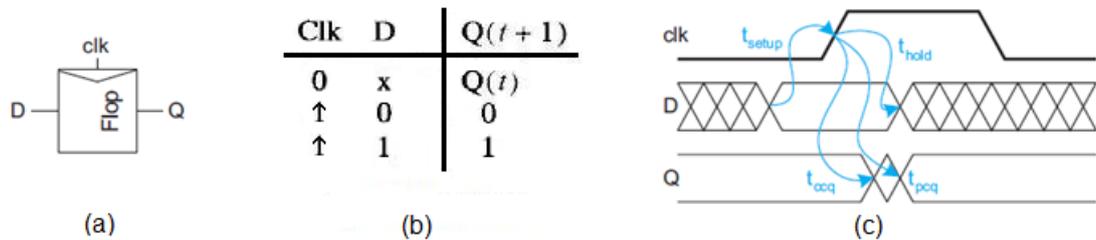
As notações de temporização do *flip-flop* do tipo D podem ser classificadas das seguintes formas: atraso de propagação ( $t_{pcq}$ ), medido a partir da ocorrência da transição do sinal de controle *Clk* até a respectiva ocorrência da transição do dado de saída *Q*; tempo de *setup* ( $t_{setup}$ ), que consiste no intervalo mínimo de tempo em que a entrada *D* deve permanecer estável antes de ocorrer uma transição no sinal de controle *Clk*; e tempo de *hold* ( $t_{hold}$ ), que consiste no intervalo mínimo de tempo que a entrada *D* deve permanecer estável depois da ocorrência da transição do

# 13ª Mostra da Produção Universitária

Rio Grande/RS, Brasil, 14 a 17 de outubro de 2014.

signal de controle *Clk*. Estes três atrasos estão ilustrados na Figura 1 (c).

Figura 1 – Representação simbólica, tabela verdade e diagrama de tempo do *flip-flop* D



Fonte: WESTE, 2011

## 3 MATERIAIS E MÉTODOS

A caracterização temporal é realizada através de simulações elétricas, onde o usuário entra com a descrição do circuito, as condições de contorno e a forma como os parâmetros serão calculados. Esses itens são descritos em um arquivo texto que o simulador interpreta para produzir os resultados da temporização do circuito.

Para a automatização do procedimento, será desenvolvido um software em linguagem C, onde o usuário entrará com a descrição do circuito, tensão de alimentação, temperatura, modelo do transistor, capacitância de saída, *slope* dos sinais de entrada e período do sinal de controle. Estes dados serão utilizados para a construção do arquivo que será utilizado pelo simulador elétrico. Como os dados de tempo de *setup* e tempo de *hold* são informações relativas a tempo mínimo, eles são obtidos através de diversas simulações. O software executará automaticamente estas diversas simulações até a obtenção precisa da caracterização temporal da topologia analisada.

## 4 RESULTADOS e DISCUSSÃO

O resultado deste trabalho é uma ferramenta que deverá ter capacidade de ser utilizada através de uma interface gráfica e também por linha de comando. A interface gráfica será importante para que a ferramenta tenha um fim educacional, enquanto que a sua utilização por linha de comando tem maior aplicação em atividades de pesquisa, acelerando o processo de caracterização de *flip-flops* e consequentemente o projeto e análise de sistemas integrados propriamente ditos.

## 5 CONSIDERAÇÕES FINAIS

A ferramenta desenvolvida neste trabalho permitirá uma caracterização automática dos atrasos de diferentes topologias de *flip-flops* tipo D de forma precisa e rápida. Ao obter automaticamente estes dados temporais, a ferramenta reduz significativamente o tempo gasto na elaboração de arquivos para simulação elétrica, acelerando o desenvolvimento dos sistemas modernos.

## REFERÊNCIAS

- WESTE, Neil; HARRIS, David. CMOS VLSI Design. **A Circuits and Systems perspective**, Pearson Addison Wesley, 2005. 4th edition Adisson-Wesley, 2011
- ALIOTO, Massimo; CONSOLI, Elio; PALUMBO, Gaetano. Analysis and comparison in the energy-delay-area domain of nanometer CMOS flip-flops: Part I - methodology and design

## **13ª Mostra da Produção Universitária**

Rio Grande/RS, Brasil, 14 a 17 de outubro de 2014.

strategies. **Very Large Scale Integration (VLSI) Systems, IEEE Transactions on**, v. 19, n. 5, p. 725-736, 2011.