

AVALIAÇÃO DE DIFERENTES TOPOLOGIAS DE CÉLULAS DE MEMÓRIA SRAM NA TECNOLOGIA 32nm

**ALMEIDA, Roberto Borba
BUTZEN, Paulo F., MEINHARDT, Cristina
robertoalmeida@furg.br**

**Evento: Congresso de Iniciação Científica
Área do conhecimento: Ciências Exatas e da Terra**

Palavras-chave: Circuitos Integrados; CMOS; Microeletrônica; SRAM

1 INTRODUÇÃO

Os sistemas computacionais atuais necessitam processar e armazenar dados e instruções de forma a desempenharem suas funcionalidades. Em processadores, normalmente estes dados e instruções são armazenados em um nível rápido de memória enquanto estão em operação, chamado de memória cache. Uma alternativa com bom desempenho para a implementação de memórias cache é a tecnologia de memória SRAM (*Static Random Access Memory*), que pode ser construída em tecnologia nanométrica, na mesma tecnologia de projeto do processador, possibilitando alto desempenho de leitura e escrita.

O objetivo deste trabalho é o projeto e análise de diferentes topologias para células de memória SRAM CMOS, analisando a variação em seus tempos de escrita e dissipação de potência.

2 REFERENCIAL TEÓRICO

Os diagramas elétricos das topologias 6T, 4T, 4T *Loadless* (LL), 8T, 10T *Single Ended* (SE) e 10T *Differential* (Diff) são apresentados na Figura 1. Considera-se que 'BL' e 'WBL' é o *bit* a ser gravado, 'RBL' representa a saída de leitura, 'WL' conecta a célula ao restante do circuito, 'WWL' (libera escrita) e 'RWL' (libera leitura). Os sinais precedidos por '!' representam o sinal complementar (negado).

3 MATERIAIS E MÉTODOS (ou PROCEDIMENTO METODOLÓGICO)

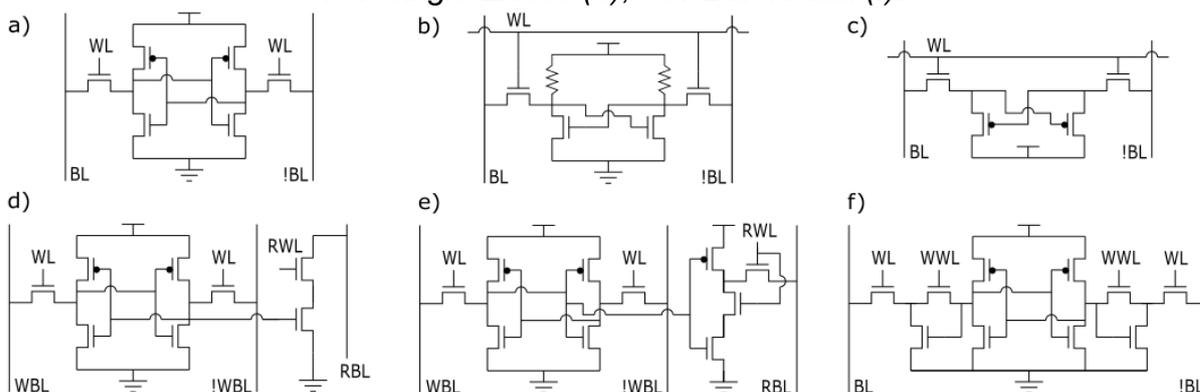
Os circuitos das células SRAM foram criados com a utilização de modelos preditivos referentes à tecnologia 32nm (ZHAO, 2007) e analisados através do simulador elétrico NGSPICE. Foram utilizados modelos de baixa potência (*low power*) e alto desempenho (*high performance*). Como tempo de escrita foi utilizado o pior caso, independente do mesmo se tratar do bit '0' ou '1', pois, ao respeitá-lo, as operações funcionarão da maneira esperada.

4 RESULTADOS e DISCUSSÃO

Nas Tabelas 1 e 2, são apresentados os resultados obtidos de tempo de escrita e potência, respectivamente. Os valores para as células 4T, 4T LL, 8T, 10T SE e 10T Diff são apresentados normalizados em relação à célula SRAM 6T. As análises mostram que a célula 4T apresenta um desempenho de escrita superior às

demais, porém consome mais energia que a maioria. A célula 4T *Loadless* se destaca por ser rápida e consumir menos energia, porém até então não se pode afirmar que seja melhor, pois é necessário verificar sua estabilidade e desempenho de leitura.

Figura 1 – Diagramas elétricos das células 6T (a), 4T (b), 4T *Loadless* (c), 8T (d), 10T *Single Ended* (e), 10T *Differential* (f).



Fonte: QAZI et al., 2011; SANDEEP, et al., 2009; PAVLOV & SACHDEV, 2008.

Tabela 1 – Tempos de Escrita

Tecnologia	6T (ps)	4T (%)	4T LL (%)	8T (%)	10T SE (%)	10T Diff (%)
HP	21,14	-62,2	-57,7	+2,6	+8,7	+745,6
LP	69,3	-75,2	-44,6	+2,2	+8,9	+247,1

Tabela 2 – Potência

Tecnologia	6T (μ W)	4T (%)	4T LL (%)	8T (%)	10T SE (%)	10T Diff (%)
HP	0,88	+5396,7	-62	+5	+15,2	+5565,3
LP	0,77	+4511,7	-46,7	+5,2	+15	+1713,6

5 CONSIDERAÇÕES FINAIS

É necessário destacar que os resultados são referentes ao desempenho somente da célula. Na sequência do projeto serão analisados e comparados os resultados utilizando arquiteturas SRAM completas com a finalidade de encontrar circuitos com maior desempenho, além de estudar a capacidade de tolerar ruídos elétricos e tempo de leitura.

REFERÊNCIAS

- QAZI, M.; SINANGIL, M. E.; CHANDRAKASAN A. P. Challenges and Directions for Low-Voltage SRAM. IEEE Design & Test of Computers, 2011.
- PAVLOV, A.; SACHDEV, M. CMOS SRAM Circuit Design and Parametric Test in Nano-Scaled Technologies. Springer, 2008.
- SANDEEP, R.; NARAYAN, T. D. & ASWATHA, A. R. Design and Analysis of a New Loadless 4T SRAM Cell in Deep Submicron CMOS Technologies, 2009.
- ZHAO, W.; CAO, Y. New generation of Predictive Technology Model for sub-45nm early design exploration. IEEE Trans. on Electron Devices, vol. 53, no. 11, pp. 2816-2823, Nov. 2006.